

日本国特許庁
JAPAN PATENT OFFICE

05.11.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

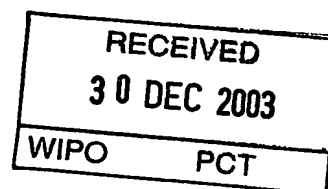
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月13日

出願番号
Application Number: 特願2002-329727
[ST. 10/C]: [JP 2002-329727]

出願人
Applicant(s): ソニー株式会社

Best Available Copy

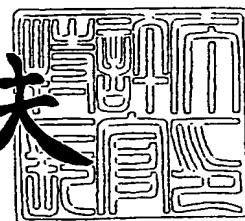


PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0290658201

【提出日】 平成14年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 05/335

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 馬淵 圭司

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100089875

 【弁理士】

 【氏名又は名称】 野田 茂

 【電話番号】 03-3266-1667

【手数料の表示】

 【予納台帳番号】 042712

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0010713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 複数の画素を 2 次元配列で設けた画素アレイ部と、
前記画素アレイ部の画素配列に対応して複数の単位メモリを 2 次元配列で設け、
各単位メモリに A/D 変換回路を設けた A/D メモリ部と、
前記画素アレイ部を走査して各画素のアナログ信号を前記 A/D メモリ部に読み出す画素アレイ走査回路と、
前記 A/D メモリ部を走査して各単位メモリのデジタル信号を出力するメモリ走査回路と、
を有することを特徴とする固体撮像装置。

【請求項 2】 前記 A/D メモリ部から出力されるデジタル信号を信号処理して装置外に出力する出力部を有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記画素アレイ部の各画素と前記 A/D メモリ部の各単位メモリとが 1 対 1 で対応していることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】 前記画素アレイ部の各画素と前記 A/D メモリ部の各単位メモリとが N 対 1 ($N \geq 2$) で対応していることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 5】 前記画素アレイ走査回路によって画素アレイ部から A/D メモリ部に信号を読み出し、次に A/D メモリ部において A/D 変換を行い、次にメモリ走査回路によって A/D メモリ部から信号の出力を行うことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 6】 前記 A/D メモリ部における A/D 変換は全単位メモリで同時に行うことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 7】 前記画素アレイ部から A/D メモリ部への信号の読み出しは画素行単位で行い、前記 A/D メモリ部における A/D 変換は全単位メモリで同時に行うことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 8】 前記単位メモリが DRAM よりなることを特徴とする請求項

1 記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の画素を2次元配列で設けた画素アレイ部を有し、この画素アレイ部の各画素から信号を取り出して信号処理を行う方式の例えばCMOSイメージセンサ等の固体撮像装置に関する。

【0002】

【従来の技術】

一般にCMOSイメージセンサはMOSプロセスを用いて作製されるため、CCDイメージセンサと異なり、画素アレイ部を設けた同一チップ上にAD変換回路をオンチップで搭載することが可能である。

そして、このAD変換回路をオンチップで搭載する形態としては、後述する3タイプのものが知られている。

図4は、このようなAD変換回路をオンチップで搭載したCMOSイメージセンサの構成例を示す説明図である。ただし、図中の斜線ブロック200A、200B、200Cは、AD変換回路の3つの配置例を示すものであり、実際の回路では、いずれか1つの配置例を採用するものである。

【0003】

まず、この図4に基づいて従来のCMOSイメージセンサの構成について説明する。

図示のように、このCMOSイメージセンサは、画素アレイ部210、V選択回路220、列信号処理部230、H選択回路240、及び出力部250を1つのチップ上に搭載したものである。

画素アレイ部210は、多数の画素を2次元配列状（行列状）に設けたものである。

V選択回路220は、画素アレイ部210の各画素を行単位で垂直方向（列方向）に順次選択しながら駆動する回路である。

列信号処理部230は、画素アレイ部210の各画素列に対応して設けられ、

各画素 211 の信号を順次受け取って固定パターンノイズ除去やゲイン調整等の処理を行う回路である。

H 選択回路 240 は、列信号処理部 230 を行方向に順次選択し、この列信号処理部 230 によって処理された各画素の信号を出力線 241 に出力するものである。

出力部 250 は、出力線 241 からの画素信号を受け取って最終的な信号処理を行い、画像信号として出力するものである。

【0004】

そして、このような CMOS イメージセンサにおいて、AD 変換回路をオンチップで配置する形態としては次の 3 通りとなる。

まず、図 4 に示す斜線ブロック 200A で示す配置例は、各画素 211 に AD 変換回路を設けたものであり、画素毎に AD 変換を行い、各画素 211 からデジタル化した画素信号を出力するものである（以下、画素レベル AD という）。（例えば、特許文献 1）。

また、図 4 に示す斜線ブロック 200B で示す配置例は、各列信号処理回路 230 に AD 変換回路を設けたものであり、列毎に AD 変換を行い、各列信号処理回路 230 からデジタル化した画素信号を出力するものである（以下、列レベル AD という）。（例えば特許文献 2）。

また、図 4 に示す斜線ブロック 200C で示す配置例は、出力部 250 に AD 変換回路を設けたものであり、出力線 241 に導かれる信号に対して順々に AD 変換を行い、出力部 250 からチップ外にデジタル化した画素信号を出力するものである（以下、チップレベル AD という）。これは単にアナログ出力のデバイスに AD 変換回路をつなげたものと同等である。

【0005】

【特許文献 1】

米国特許第 5461425 号公報

【特許文献 2】

日本国特許第 253234 号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上述した3つのAD変換では以下のような課題があった。

(1) 画素レベルADは、全ての画素で同時にAD変換できるので、高速な処理が可能であるが、AD変換回路を各画素内に配置するので、各画素の規模が大きくなり、画素アレイ部の面積及び光学系が大きくなり、その一方で開口率（画素中のフォトダイオードの面積比率）が低くなり、感度が低くなるなどの欠点がある。

【0007】

(2) 列レベルADは、画素レベルADに比べて画素は簡単になり、小型化が可能であるが、1フレーム分の画像を出力するのに、行数に応じた回数（例えば数百～数千回）のAD変換をしなければならないので低速であるという欠点がある。

また、AD変換を短時間で行うので、回路の帯域を大きくすることが必要であり、ノイズが大きくなる。

また、AD変換は1フレームの間、ずっと順番に行を処理していくので、最初の行と最後の行でAD変換される時間に1フレーム時間のずれが生じるので、全画面の時間差をできるだけ小さくしたい場合（例えば動きのある被写体を撮影する場合）には適さない。

【0008】

(3) チップレベルADは、列レベルADと同様の性質をもっている。つまり、画素は簡単になるが、1フレームの出力をするのに、画素数に応じた回数（例えば数十万～数百万回）のAD変換をしなければならないので、列レベルADよりさらに低速になるという欠点がある。

また、AD変換を短時間で行うので、回路の帯域を大きくすることが必要で、列レベルADよりさらにノイズが大きくなる。また、AD変換は1フレームの間ずっと順番に画素信号を処理していくので、最初の画素と最後の画素でAD変換される時間に1フレーム時間のずれが生じ、全画面の時間差をできるだけ小さくしたい場合には適さない。

【0009】

そこで本発明の目的は、画素アレイ部や光学系の大型化を招くことなく、迅速かつ低負担でAD変換を行うことができ、かつ、同時AD変換による高画質のデジタル画像信号を出力することが可能な固体撮像装置を提供することにある。

【0010】**【課題を解決するための手段】**

本発明は前記目的を達成するため、複数の画素を2次元配列で設けた画素アレイ部と、前記画素アレイ部の画素配列に対応して複数の単位メモリを2次元配列で設け、各単位メモリにAD変換回路を設けたADメモリ部と、前記画素アレイ部を走査して各画素のアナログ信号を前記ADメモリ部に読み出す画素アレイ走査回路と、前記ADメモリ部を走査して各単位メモリのデジタル信号を出力するメモリ走査回路とを有することを特徴とする。

【0011】

本発明の固体撮像装置では、2次元配列の画素アレイ部に対応したADメモリ部の各単位メモリ毎にAD変換回路を設け、各画素から読み出した信号をADメモリ部でAD変換する。

したがって、2次元配列のAD変換回路でAD変換を分散して行え、上述した列レベルAD変換やチップレベルAD変換に比べて高速なAD変換を行うことができる。また、AD変換回路の帯域を落とすことができ、ノイズの少ない信号を得ることが可能である。

また、画素内にAD変換回路を設けないため、画素回路の構成を簡素化でき、画素の開口率を大きくでき、高い感度の画素アレイ部を構成できる。また、画素アレイ部からADメモリ部に短時間で画素信号を読み込めるので、1つの画面内での処理の時間差を小さくでき、動きの有る被写体を撮ってもゆがみが少なく、良好な画質の画像を得ることができる。

【0012】**【発明の実施の形態】**

以下、本発明による固体撮像装置の実施の形態例について説明する。

図1は、本発明の実施の形態例によるAD変換回路をオンチップで搭載したC

MOSイメージセンサの構成例を示す説明図である。

図示のように、このCMOSイメージセンサは、画素アレイ部110、V選択回路120、ADメモリ部（メモリブロック）130、メモリV選択回路140、H選択回路150、及び出力部160を1つのチップ上に搭載したものである。

【0013】

画素アレイ部110は、多数の画素111を2次元配列状（行列状）に設けたものであり、各画素において検出されたアナログ画素信号を各画素列毎に設けられた出力信号線（垂直信号線）より出力するものである。

なお、各画素111の回路構成は、種々の形態が用いることが可能であるが、例えば光電変換素子（フォトダイオード等）と、その生成電荷をフローティングデフュージョン（FD）部に読み出す転送トランジスタと、FD部に転送された信号電荷による電位変動を電気信号に変換して出力する増幅トランジスタと、この増幅トランジスタの出力と出力信号線（垂直信号線）とを接続する選択トランジスタと、FD部の電位をリセットするリセットトランジスタとを有するものとする。

V選択回路120は、画素アレイ部110の各画素を行単位で垂直方向（列方向）に順次選択しながら駆動するものであり、画素アレイ走査回路を構成している。

【0014】

ADメモリ部130は、画素アレイ部110の各画素配列に対応する2次元配列で単位メモリ131を配置して構成され、垂直信号線を通して読み出されたアナログ画素信号を順次蓄積し、AD変換を含む各種の処理（例えばCDSによる固体パターンノイズ除去やゲイン調整等）を行うものである。なお、各単位メモリ131はDRAMによって構成されている。

そして、このADメモリ部130の各単位メモリ131には、AD変換回路132が設けられ、このAD変換回路132によって各画素から読み出されたアナログ画素信号をデジタル画素信号に変換する。

なお、図1に示す構成では、画素アレイ部110の各画素111とADメモリ

部130の各单位メモリ131とが1対1で対応させた例を示しているが、複数($N \geq 2$)の画素と1つの単位メモリがN対1で対応する構成であってよい。この場合には、1つの単位メモリによって複数(N個)の画素の処理を順次に行うことになる。

また、本例では、ADメモリ部130の各单位メモリ配列がそのまま1画像フレームに対応しており、このフレーム単位でAD変換を行うことから、本例のAD変換方式をフレームメモリレベルADと呼ぶものとする。

【0015】

メモリV選択回路140は、ADメモリ部130の各单位メモリ131の走査と駆動を行い、各单位メモリ131で処理されたデジタル画素信号を出力する回路である。

H選択回路150は、ADメモリ部130を行方向に順次選択し、このADメモリ部130によって処理されたデジタル画素信号を出力線151に出力するものである。なお、メモリV選択回路140とH選択回路150でメモリ走査回路を構成している。

出力部160は、出力線151からのデジタル画素信号を受け取って最終的な信号処理を行い、デジタル画像信号としてチップ外に出力するものである。

【0016】

本例のフレームメモリレベルADでは、画素アレイ部110の画素信号を短時間でADメモリ部130に転送し、その後、全画素の信号を同時にAD変換することができる。よって、従来の画素レベルADと異なり、画素がAD変換回路のために大きくなったり、開口率が下がったりすることがなく、また、列レベルAD、チップレベルADと異なり、AD変換を1フレームで1回行えばよいので、高速に処理できる。また、個々のAD変換処理をゆっくりできるので、AD変換回路の帯域を落とし、ノイズを下げることができる。

【0017】

図2は、本例のADメモリ部130における単位メモリ131の回路例を示す回路図であり、図3は、本例のADメモリ部130における駆動例を示すタイミングチャートである。

まず、図2に基づいて単位メモリ131の構成を説明する。

本例の単位メモリ131は、垂直信号線133を通して各画素から読み出されるリセットレベル電圧と信号レベル電圧の差分を取り、各画素毎に生じる固定パターンノイズを除去するためのCDS（相関二重サンプリング）回路170と、このCDS回路170によって生成された差分信号をランプ（ramp）波と比較して、デジタル信号値を出力するAD変換回路180（すなわち、図1に示すAD変換回路132）とで構成される。なお、ここではリセットレベル電圧が0レベル信号に相当する電圧となり、それに対して負に振れる信号レベル電圧を順に出力するタイプの画素回路を用いているものとする。

そして、図2に示すように、CDS回路170は、スイッチ（SW1、SW2）171、172と、コンデンサ（C1、C2）173、174と、差動増幅器175とを有する。

また、AD変換回路180は、図示の例では10bitのデータ幅を有する場合の構成例であり、各ビット毎に変換用のトランジスタ（Tr0～Tr9）181と、サンプリング用のコンデンサ182と、出力用のトランジスタ183とを有する。

【0018】

以下、本例のADメモリ部130における動作を図3を用いて説明する。なお、ramp電圧はアナログ電圧信号であるので、図3の波形図では他の信号とは異なるスケールで示している。

（1）画素アレイ部110からADメモリ部（メモリブロック）130への読み出し期間

ここでは画素アレイ部110から1行ずつ信号を読み出して、各画素に対応するADメモリ部130の単位メモリ131に書き込む動作となる。

1行分の動作は、以下ようになる。

（1-1）まず、垂直信号線133に画素111からリセットレベルを読み出している期間に、スイッチ171、172をONする。

ここでコンデンサ173のスイッチ171側の電位はリセットレベルとなるが、その反対側では、差動増幅器175の+入力端子にランプ信号の供給線（r a

m p 配線) 191によって供給される r a m p 電圧が印加されているため、スイッチ172のONにより、差動増幅器175の一入力端子と出力端子が r a m p 電圧にクランプされることになる。

【0019】

(1-2) 次に、スイッチ172をOFFしてから、垂直信号線133に画素の信号レベルを読み出す。このとき差動増幅器175の一入力端子は、コンデンサ173を通してリセットレベルと信号レベルの差に比例した負の方向の電位変動が生じ、画素の固定パターンばらつきが除去された信号電圧が入力されることになる。

この結果、差動増幅器175の出力はH i g hレベルになり、トランジスタ181がONする。

(1-3) 次に、スイッチ171をOFFすると、垂直信号線133と切り離され、この状態が保持される。

この期間中は、r a m p 信号はH i g hレベルである。また、トランジスタ181の駆動用クロック配線(c k 配線)192、及びトランジスタ183の駆動用クロック配線(w o r d 配線)193は、共にL o wレベルである。

この動作を各行について繰り返し、1フレームの信号をADメモリ部に取り込む。

【0020】

(2) AD変換期間

次に、r a m p 電圧をH i g hからL o wに遷移させながら、トランジスタ181の駆動用クロックc k [0] ~ c k [9] を10 b i t でカウントアップするよう駆動する。r a m p 電圧が(1)で保持されている差動増幅器175の一入力端子電圧よりも低くなったときに、差動増幅器175の出力が反転し、その時のc k [0] ~ c k [9] の値(H i g h / L o w) がそれぞれのコンデンサ182に保持される、すなわち10 b i t のAD変換結果が格納される。

なお、r a m p 電圧、及びc k [0] ~ c k [9] は、それぞれADメモリ部の全域で共通になっているので、1フレーム分の信号が同時にAD変換される。また、コンデンサ182にH i g h / L o wが書き込まれるので、これは原理的

にDRAMである。

【0021】

(3) メモリアクセス期間

次に、ADメモリ部から読み出したい画素の信号を、トランジスタ183のword配線193を駆動し、データ出力線であるbit配線194から読み出す。なお、読み出し方法、及び読み出し回路構成は、ともに通常のDRAMと同様のもので良い。また、1行ずつ順番に読み出しても良いし、1部分だけを読み出すようにしても良い。あるいは完全なランダムアクセスも可能である。

【0022】

また、次のフレームの情報を得るには、上記(1)の読み出し動作から同様の動作を行う。これは1行ずつの動作であるので、ADメモリ部への読出し期間であっても、まだ読出し順が回ってこない行はメモリアクセスは可能である。以下これらの動作を繰り返す。

【0023】

ところで、従来のフレームメモリを持たないCMOSイメージセンサでは、1行を列信号処理部に同時に読み出しても、その後、各列の列信号処理回路を順番に選択して信号を水平信号線に導き、1個ずつ出力する期間が数倍～数十倍必要で、その後、やっと次の行に移ることができる。

これに対し、本例の方式では、1行ずつ読み出すだけでADメモリ部130への読み出しが完了するので、その読み出しに要する時間は、数分の1～数十分の1の短時間で終わる。これは、各行が読み出される時間のずれが短くなるということであるので、全画面の時間差が数倍～数十倍小さくなる。この時間差があると、動いている被写体を撮影したときに時間差のせいで被写体がゆがむが、本例の方式によれば、このゆがみが数倍～数十倍小さくなる効果がある。もちろん、画素から読み出すところは従来のCMOSイメージセンサと同じなので、従来のCMOSイメージセンサで露光時間を同時化してゆがみを無くす公知の方法を本例に適用することもできる。

【0024】

また、本例の方式では、1フレーム分の信号が同時にAD変換されるので、A

D変換も短時間で終わる。

さらに、ADメモリ部130からの読み出しは、フレームメモリへのアクセスとなるので、行ごとに順番である必要は無く、読出し順が完全に自由である。もちろん通常のDRAMと同様に、word線とbit線を用いて外から別の信号を書き込むことも可能である。

また、各画素の信号を読み出す前の適当な時間に画素をリセットして電子シャッタがかけられるのは従来のCMOSイメージセンサと同様である。

【0025】

なお、上述の例では、画素回路として、リセットレベル電圧（信号0に相当する電圧）と、それに対して負に振れる信号レベル電圧を順に出力するタイプのものを仮定したが、このタイプでない画素回路に適用することも、もちろん可能である。

また、ADメモリ部の構成としては、上記の他にも種々の変形が可能である。例えば、上述したように複数画素に対応して1つのAD変換回路を割り当てることも可能である。

また、AD変換回路は、チョッパ型コンパレータを用いたり、 $\Delta\Sigma$ 型を採用することもできる。また、メモリにはDRAM型でなく、SRAM型等を用いることも可能である。

【0026】

【発明の効果】

以上説明したように本発明の固体撮像装置によれば、2次元配列の画素アレイ部に対応したADメモリ部の各単位メモリ毎にAD変換回路を設け、各画素から読み出した信号をADメモリ部でAD変換することから、2次元配列のAD変換回路でAD変換を分散して行え、上述した列レベルAD変換やチップレベルAD変換に比べて高速なAD変換を行うことができ、また、AD変換回路の帯域を落とすことができ、ノイズの少ない信号を得ることが可能である。

また、画素内にAD変換回路を設けないため、画素回路の構成を簡素化でき、画素の開口率を大きくでき、高い感度の画素アレイ部を構成でき、さらに画素アレイ部からADメモリ部に短時間で画素信号を読み込めるので、1つの画面内で

の処理の時間差を小さくでき、動きの有る被写体を撮ってもゆがみが少なく、良好な画質の画像を得ることができる。

さらに、ADメモリ部からの読み出しは、フレームメモリへのアクセスとなるので、行ごとに順番である必要などは無く、読出し順が完全に自由である。さらに、通常のDRAMと同様に、word線とbit線を用いて外から別の信号を書き込むことも可能である。

【図面の簡単な説明】

【図1】

本発明の実施の形態例によるAD変換回路をオンチップで搭載したCMOSイメージセンサの構成例を示す説明図である。

【図2】

図1に示すADメモリ部における単位メモリの回路例を示す回路図である。

【図3】

図1に示すADメモリ部における駆動例を示すタイミングチャートである。

【図4】

従来のAD変換回路をオンチップで搭載したCMOSイメージセンサの構成例を示す説明図である。

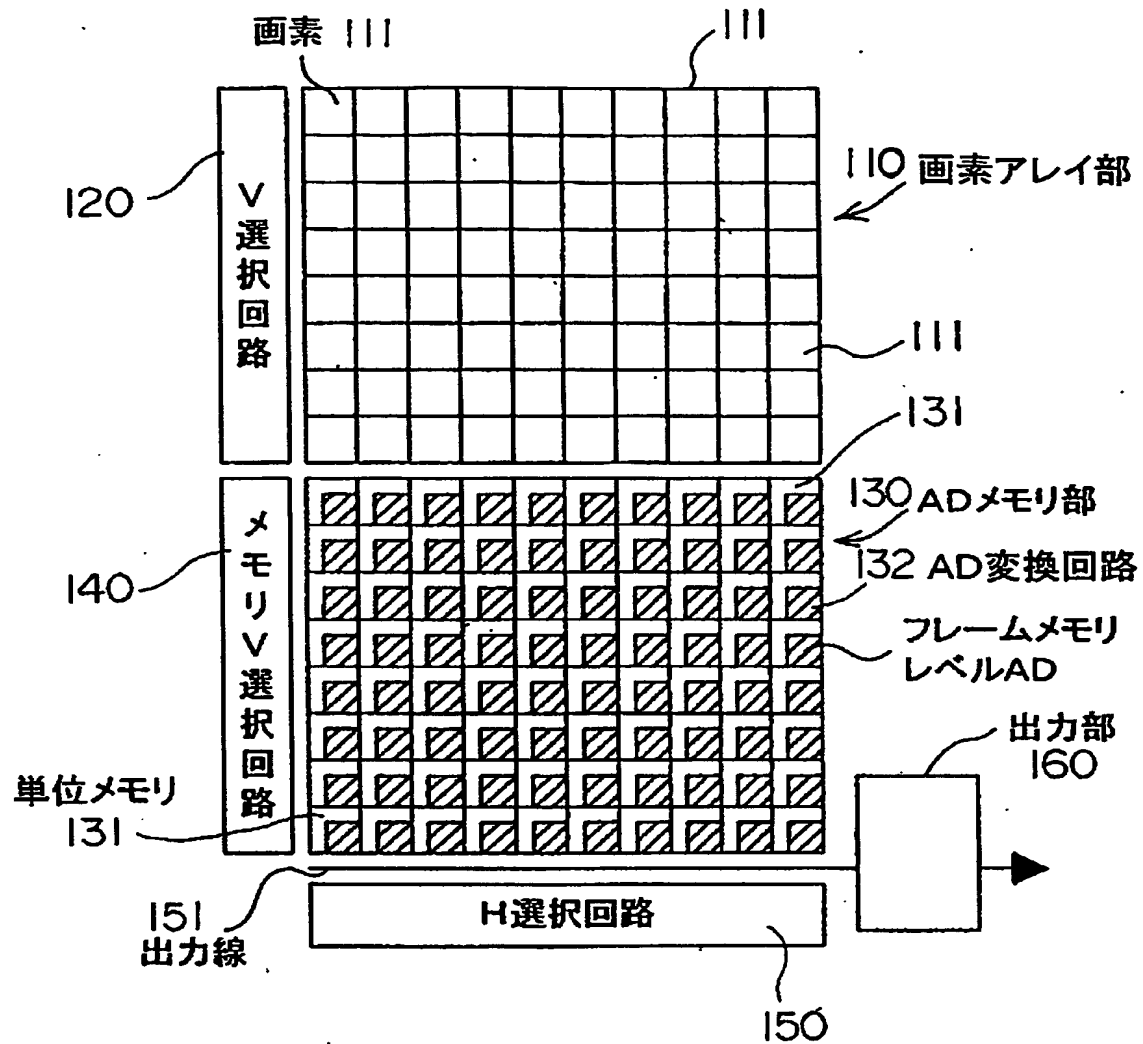
【符号の説明】

110……画素アレイ部、111……画素、120……V選択回路、130…
…ADメモリ部、131……単位メモリ、132、180……AD変換回路、1
33……垂直信号線、140……メモリV選択回路、150……H選択回路、1
60……出力部、170……CDS回路、171、172……スイッチ、173
、174、182……コンデンサ、175……差動増幅器、181、183……
トランジスタ。

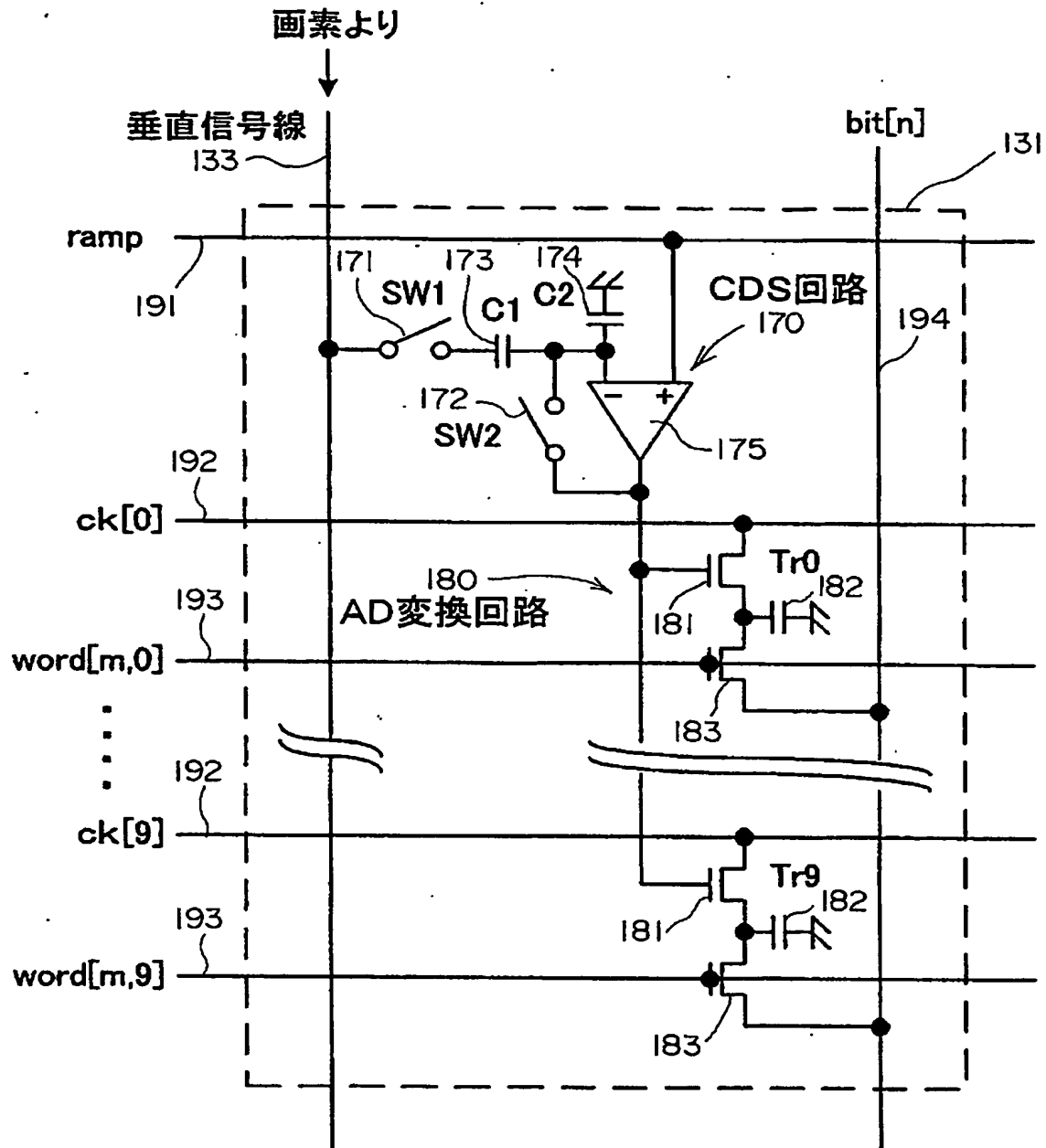
【書類名】

図面

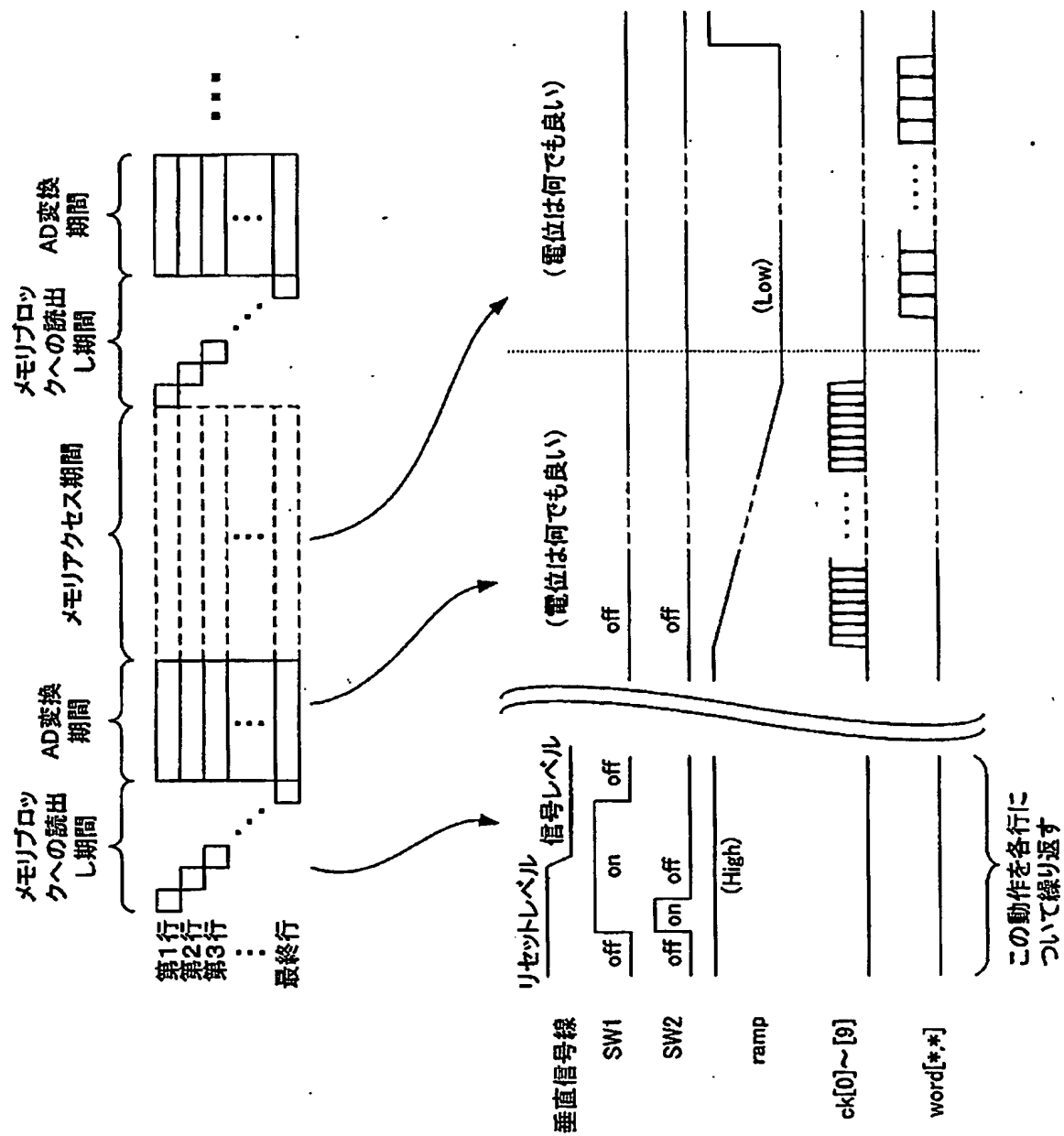
【図 1】



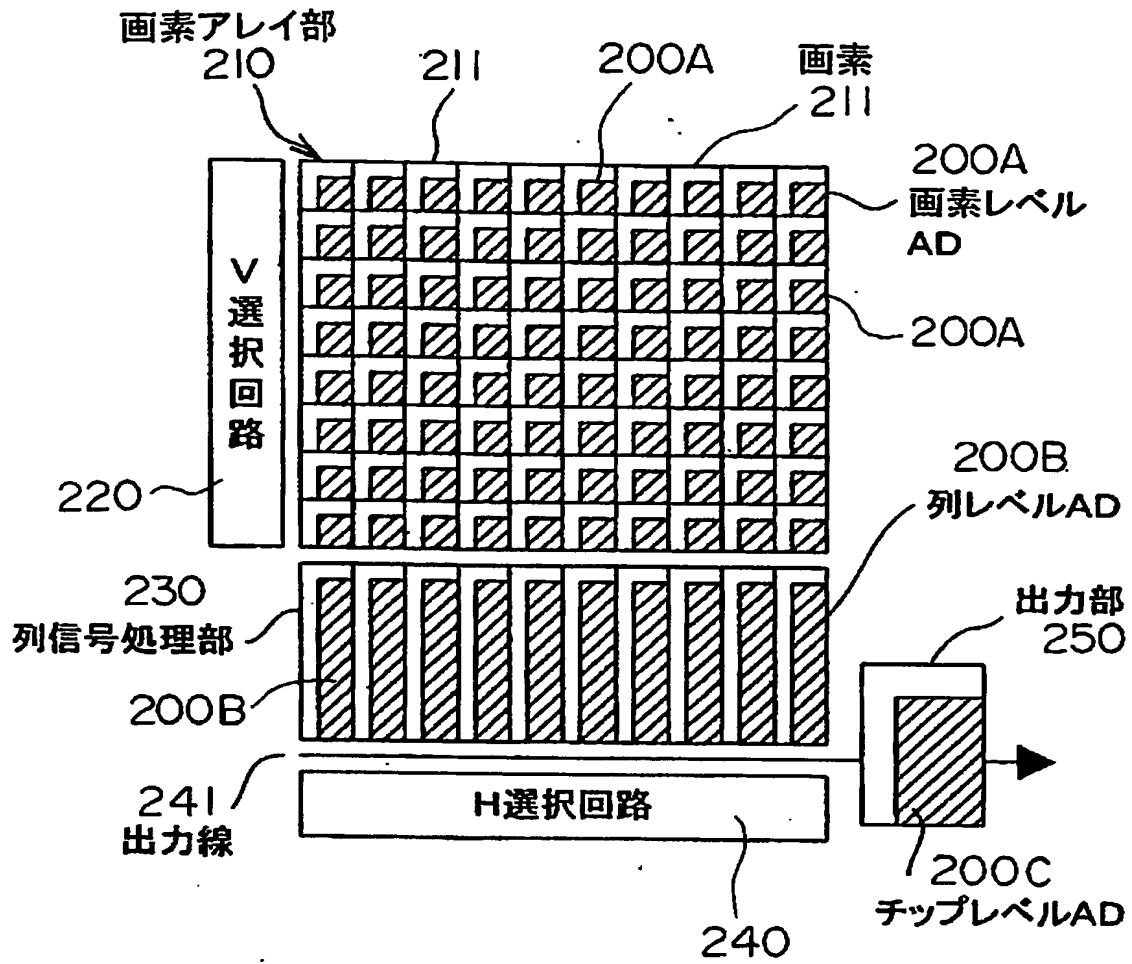
【図2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 画素アレイ部や光学系の大型化を招くことなく、迅速かつ低負担でA/D変換を行い、同時A/D変換による高画質のデジタル画像信号を出力する。

【解決手段】 画素アレイ部110は各画素111毎に光電変換素子と画素トランジスタを有し、アナログ画素信号を出力する。A/Dメモリ部130は、画素アレイ部110の各画素配列に対応する2次元配列で単位メモリ131を配置して構成され、垂直信号線を通して読み出されたアナログ画素信号を順次蓄積し、A/D変換を含む各種の処理（例えばCDSによる固体パターンノイズ除去やゲイン調整等）を行う。そして、このA/Dメモリ部130の各単位メモリ131には、A/D変換回路132が設けられ、このA/D変換回路132によって各画素から読み出されたアナログ画素信号をデジタル画素信号に変換する。

【選択図】 図1

特願 2002-329727

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.